第二十四章 AC97 控制器

24.1 概述

S3C2440A 的 AC97 控制器单元支持 AC97 的 2.0 版本特点。AC97 控制器使用一个音频控制器连接（AC-link）来和 AC97 编解码器通讯。控制器发送立体声 PCM 数据给编解码器。编解码器中的外部数模转换器将音频采样转换成模拟音频波形。控制器也从编解码器接收立体声 PCM 数据和单声道的 MIC 数据，然后将数据存储在内存中。本章描述的是 AC97 控制器单元的编程模式。该章的信息需要了解 AC97 的2.0 版本特性。

注：AC97 控制器和 IIS 控制器不能同时使用。

24.2 特点

— 对于立体声 PCM 输入，立体声 PCM 输出和单声道 MIC 输入都有独立的通道。
— 基于 DMA 操作和基于中断的操作
— 所有通道都仅支持 16 位采样
— 不同采样率的 AC97 编解码器接口（48KHz 及以下）
— 16 位，每个通道 16 个入口 FIFO
— 仅支持主编解码器

24.3 AC97 控制器操作

24.3.1 模块图

如图 24-1 所示 S3C2440A 的 AC97 控制器功能模块图。来自 AC-link 的 AC97 信号，其连接是支持全双向数据传输的点对点的同步串行互联。所有数字音频流和命令状态信息通过 AC-link 通讯。

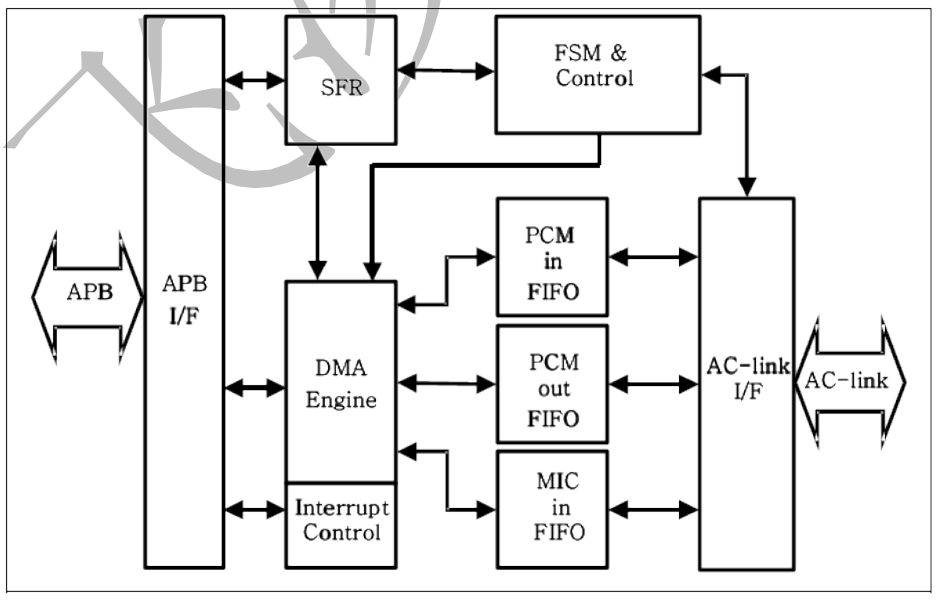

Figure 24-1 AC97 Block Diagram

24.3.2 内部数据通路

如图 24-2 所示 S3C2440A 的 AC97 控制器的内部数据通路。其有立体声脉冲编码调制（PCM）输入，立体声 PCM 输出和单声道 MIC 输入缓存，其包含16 位，16个入口缓存。 其有一个通过 AC-link 的 20 位 IO 移位寄存器。

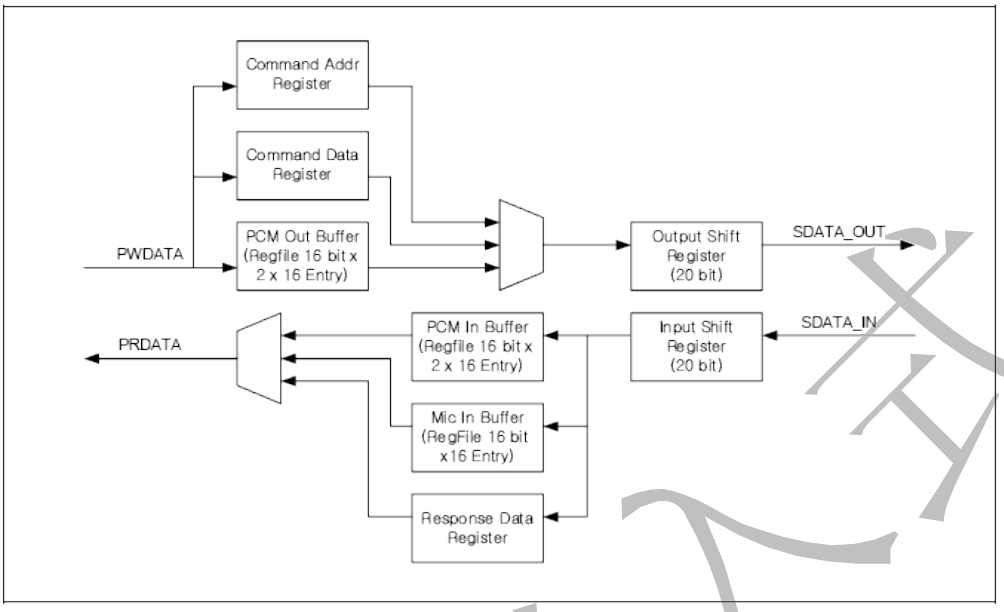

Figure 24-2 Internal Data Path

24.3.3 流程图操作

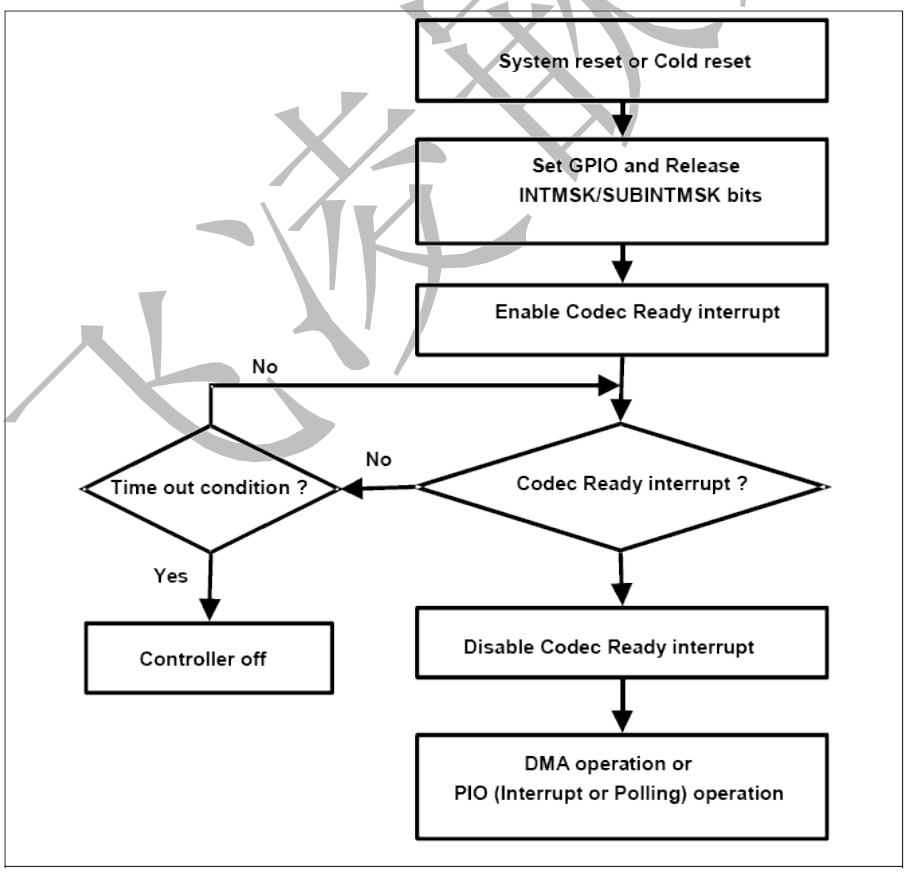

Figure 24-3 AC97 Operation Flow Chart

24.4 AC-LINK 数字接口协议

每个 AC97 编解码包含一个连接到 AC9 控制器的五脚的数字串行接口。AC-link 是一个全双工，固定时钟，PCM 数字流。其有一个时分多路复用算法来操作控制寄存器访问和多路输入输出音频流。AC-link 架构将每个音频帧分成 12 个输出和 12 个输入数据流。每个流有 一个 20 位的采样分辨率和需要最小分辨率 16 位的一个 DAC 和一个 ADC。

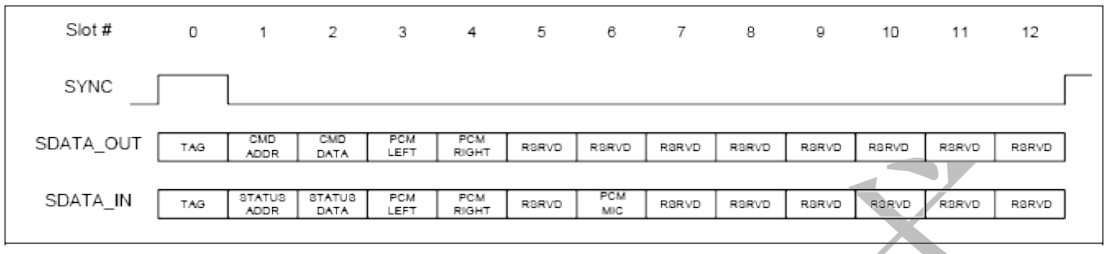

Figure 24-4 Bi-directional AC-link Frame with Slot Assignments

如图 24-4所示 AC97 控制器所支持的时间槽定义。AC97 控制提供了对在 AC-link 上的所有数据的同步处理。

一个数据处理由 256 位的信息组成，其信息分解成 13 组时间槽并称为帧。时间槽 0 叫标签段（Tag Phase）且有 16 位长。剩下的 12 个时间槽叫做数据段。标签段包含 1 位用于识别有 效帧，另外 12 位用于识别数据段中的时间槽是否包含有效数据。数据段中的每个时间槽是20位长。一个帧开始由 SYNC 信号变高电平。SYNC 高电平时间就是相应的标签段所占时 间。

AC97 帧以固定 48KHz 的时间间隔出现且同步于 12.288MHz 比特率时钟 BITCLK。控制器 和编解码器使用 SYNC 和 BITCLK 来决定何时发送数据，何时采样和接收数据。发送器在 每个 BITCLK 的上升沿发送串行数据流，接收器在每个 BITCLK 的下降沿采样串行数据 流。发送器必须对串行数据流中的有效槽做标记。有效槽被标记在时间槽 0 中。AC-link 的 数据是从 MSB 到 LSB。标签段的第一位是位 15，每个数据段的第一位是位 19。每个槽的 最后一位是位 0。

AC-link 输出帧（SDATA_OUT）

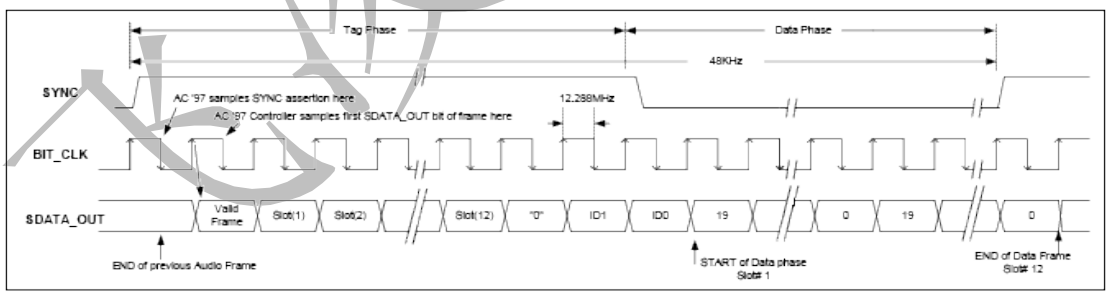

Figure 24-5 AC-link Output Frame

AC-link 输入帧（**SDATA_IN**）

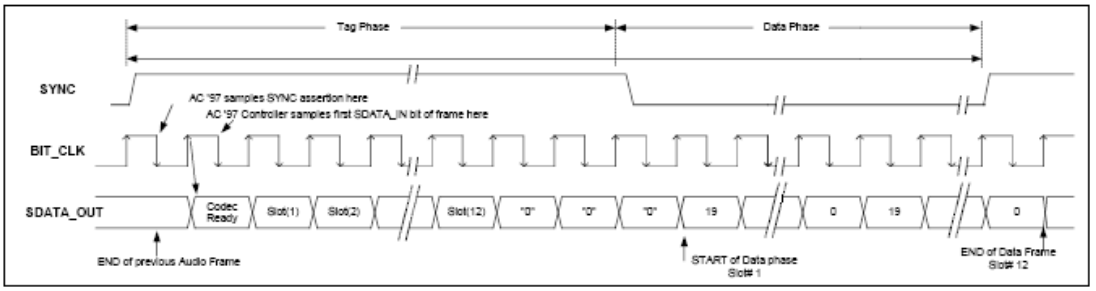

Figure 24-6 AC-link Input Frame

24.5 AC97 掉电

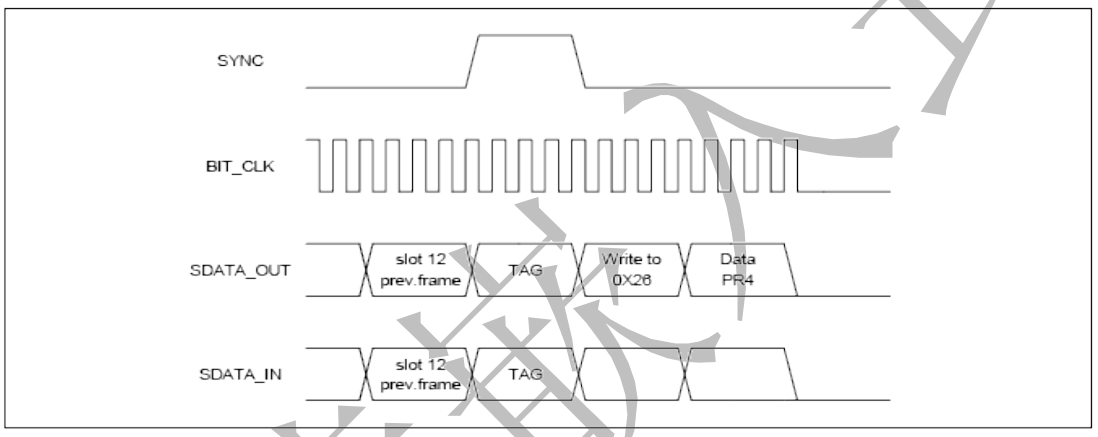

Figure 24-7 AC97 Powerdown Timing Diagram

24.5.1 掉电 AC-link

当 AC97 编解码器的掉电寄存器（0x26）的 PR4 位置 1 时，AC-link 信号进入低电源模式。 然后主编解码器驱使 BITCLK 和 SDATA_IN 为逻辑低电压水平。顺序如时序图图 24-7 所 示。

AC97 控制器通过 AC-link 发送写掉电寄存器（0x26）。建立 AC97 控制器以至于当其写掉 电寄存器的 PR4 位（数据 0x1000），就不发送数据到槽 3-12，当它收到掉电请求后，就不 需 要 编 解 码器 去处 理 其 他数 据。 当 编 解码 器处 理 请 求时 ，它 同 时 会拉 低 BITCLK 和 SDATA_IN。

在对 AC_GLBCTRL 寄存器编程后，AC97 控制器也驱使 SYNC 和 SDATA_OUT 为低电平。

24.5.2 唤醒 AC-link- 由 AC97 控制器触发的唤醒

AC-link 协议提供了一个 AC97 冷重启和一个 AC97 热重启。当前掉电状态最后指出了会使 用哪个 AC97 重启。在所有的掉电模式期间所有的寄存器都应该停留在同一状态，除非执 行一个 AC97 冷重启。在 AC97 冷重启中，AC97 寄存器被初始化到默认值。在掉电后，在 其通过重新使 SYNC 有效而重新激活之前，掉电出现的帧之后，AC-link 必须等待最少 4 个音频帧时间。当 AC-link 上电，其通过编解码器准备位（输入槽 0，位 15）指示就绪。

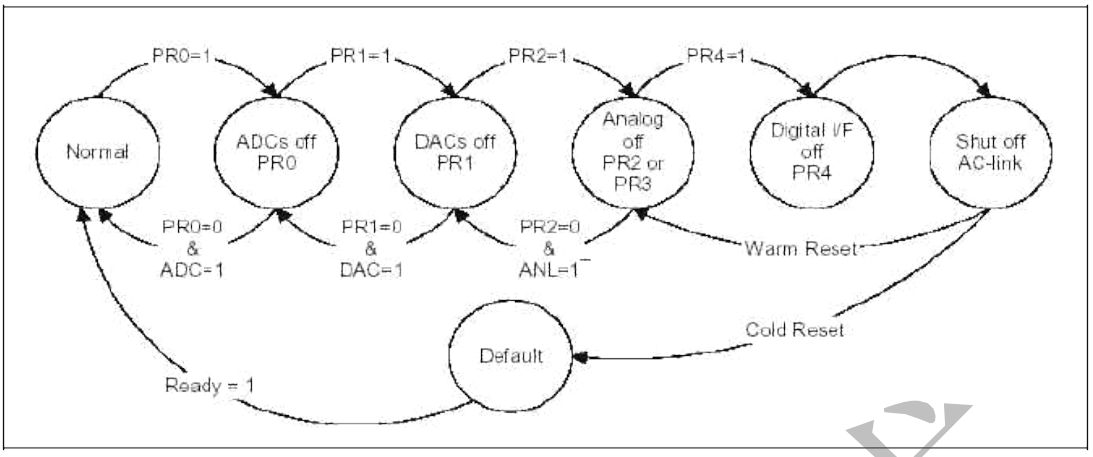

Figure 24-8 AC97 Power down/Power up Flow

AC97 冷重启

当通过 AC_GLBCTRL 寄存器使得 nRESET 引脚有效，冷启动产生。激活和使无效 nRESET 将激活 BITCLK 和 SDATA_OUT。所有的 AC97 控制寄存器都被初始化到默认上电复位值。 nRESET 是一个同步 AC97 输入。

AC97 热重启

不改变当前的 AC97 寄存器值，AC97 热重启重新激活 AC-link。当没有 BITCLK 信号且 SYNC 拉高时，热启动产生。在通常的音频帧中，SYNC 是一个同步 AC97 输入。当缺少 BITCLK 时，SYNC 是作为一个用于产生 AC97 热重启的异步输入。AC97 控制器必须不激

活 BITCLK 直到其采样到 SYNC 再次为低电平。这样避免了误认为一个新音频帧。

24.6 AC97 控制器特殊寄存器

（1）AC97 全局控制寄存器（AC_GLBCTRL）
（2）AC97 全局状态寄存器（AC_GLBSTAT）
（3）AC97 CODEC 命令寄存器（AC_CODEC_CMD）
（4）AC97 CODEC 状态寄存器（AC_CODEC_STAT）
（5）AC97 PCM 输入输出通道 FIFO 地址寄存器（AC_PCMADDR）
（6）AC97 MIC 输入通道 FIFO 地址寄存器（AC_MICADDR）
（7）AC97 PCM 输入输出通道 FIFO 数据寄存器（AC_PCMDATA）
（8）AC97 MIC 输入通道 FIFO 数据寄存器（AC_MICDATA）

24.6.1 AC97 全局控制寄存器

AC97 GLOBAL CONTROL REGISTER (AC_GLBCTRL)

寄存器	地址	读写	描述	复位值
AC_GLBCTRL	0x5B000000	R/W	AC97 全局控制寄存器	0x00000000

AC_GLBCTRL	位	描述	初始值
保留	[31:23]	-	0x00
Codec Ready Interrupt Enable	[22]	0：无效 1：有效	0
PCM Out Channel Underrun Interrupt Enable	[21]	0：无效 1：有效（FIFO 空）	0
PCM In Channel Overrun Interrupt Enable	[20]	0：无效 1：有效（FIFO 满）	0

MIC In ChannelOverrun Interrupt Enable	[19]	0：无效 1：有效（FIFO 满）	0
PCM Out Channel Threshold Interrupt Enable	[18]	0：无效 1：有效（FIFO 半空）	0
PCM In Channel Threshold Interrupt Enable	[17]	0：无效 1：有效（FIFO 半满）	0
MIC In Channel Threshold Interrupt Enable	[16]	0：无效 1：有效（FIFO 半满）	0
保留	[15:14]	-	00
PCM Out Channel Transfer Mode	[13:12]	00 : Off 01 : PIO 10 : DMA 11 : Reserved	00
PCM In Channel Transfer Mode	[11:10]	00 : Off 01 : PIO 10 : DMA 11 : Reserved	00
MIC In Channel Transfer Mode	[9:8]	00 : Off 01 : PIO 10 : DMA 11 : Reserved	00
保留	[7:4]	-	0000
Transfer Data Enable Using AC-Link	[3]	0：无效 1：有效	0
AC-Link On	[2]	0：关闭 1：传输 SYNC 到	0
Warm Reset	[1]	0：通常 1：从掉电唤醒	0
Cold Reset	[0]	0：通常 1：重启 CODEC 和	0

24.6.2 AC97 全局状态寄存器

AC97 GLOBAL STATUS REGISTER (AC_GLBSTAT)

寄存器	地址	读写	描述	复位值
AC_GLBSTAT	0x5B0	R/W	AC97 全局状态寄存器	0x00000

AC_GLBSTAT	位	描述	初始值
保留	[31:23]	-	0x00
Codec Ready Interrupt	[22]	0：不请求 1：请求	0
PCM Out Channel Underrun Interrupt	[21]	0：不请求 1：请求	0
PCM In Channel Overrun	[20]	0：不请求 1：请求	0
MIC In Channel Overrun Interrupt	[19]	0：不请求 1：请求	0
PCM Out Channel Threshold Interrupt	[18]	0：不请求 1：请求	0
PCM In Channel Threshold	[17]	0：不请求 1：请求	0
MIC In Channel Threshold Interrupt	[16]	0：不请求 1：请求	0
保留	[15:3]	-	0x000
Controller Main State	[2:0]	000 : Idle 001: Init 010: Ready 011: Active 100: LP 101 : Warm	000

24.6.3 AC97 CODEC 命令寄存器

AC97 CODEC COMMAND REGISTER (AC_CODEC_CMD)

寄存器	地址	读写	描述	复位值
AC_CODEC_CMD	0x5B000008	R/W	AC97CODEC 命令寄存器	0x00000000

AC_CODEC_CMD	位	描述	初始值
保留	[31:24]		0x00
Read Enable	[23]	0：命令写（注） 1：状态读	0
Address	[22:16]	CODEC命令地址	0x00
Data	[15:0]	CODEC 命令数据	0x0000

注：当命令写入 AC_CODEC_CMD 寄存器中，推荐连个命令之间的延时大于 1/48Hz。

24.6.4 AC97 CODEC 状态寄存器

AC97 CODEC STATUS REGISTER (AC_CODEC_STAT)

寄存器	地址	读写	描述	复位值
AC_CODEC_STAT	0x5B00000C	R/W	AC97CODEC 状态寄存器	0x00000000

AC_CODEC_STAT	位	描述	初始值
保留	[31:23]	-	0x00
Address	[22:16]	CODEC 状态地址	0x00
Data	[15:0]	CODEC 状态数据	0x0000

注：如果你想通过 AC_CODEC_STAT 寄存器从 AC97CODEC 读数据，你应该依照以下步骤。
（1）写命令地址和和数据到 AC_CODEC_CMD 寄存器，其 23 位置 1。
（2）延时。
（3）从 AC_CODEC_STAT 寄存器读命令地址和数据。

24.6.5 AC97 PCM 输入输出通道 FIFO 地址寄存器

AC97 PCM OUT/IN CHANNEL FIFO ADDRESS REGISTER (AC_PCMADDR)

寄存器	地址	读写	描述	复位值
AC_PCMADDR	0x5B000014	R/W	AC97 PCM 输入输出通道 FIFO 地址寄	0x00000000

AC_PCMADDR	位	描述	初始值
保留	[31:28]	-	0000
Out Read Address	[27:24]	PCM 输出通道 FIFO 读地址	0000
保留	[23:20]	-	0000
In Read Address	[19:16]	PCM 输入通道 FIFO 读地址	0000
保留	[15:12]	-	0000
Out Write Address	[11:8]	MIC 输出通道 FIFO 读地址	0000
保留	[7:4]	-	0000
In Write Address	[3:0]	MIC 输入通道 FIFO 写地址	0000

24.6.6 AC97 MIC 输入通道 FIFO 地址寄存器

AC97 MIC IN CHANNEL FIFO ADDRESS REGISTER (AC_MICADDR)

寄存器	地址	读写	描述	复位值
AC_MICADDR	0x5B000014	R/W	AC97 MIC 输入通道 FIFO 地址寄存器	0x00000000

AC_MICADDR	位	描述	初始值
保留	[31:20]	-	
Read Address	[19:16]	MIC 输入通道 FIFO 读地址	0x0000
保留	[15:4]	-	
Write Address	[3:0]	MIC 输入通道 FIFO 写地址	0x0000

24.6.7 AC97 PCM 输入输出通道 FIFO 数据寄存器

AC97 PCM OUT/IN CHANNEL FIFO DATA REGISTER (AC_PCMDATA)

寄存器	地址	读写	描述	复位值
AC_PCMDATA	0x5B000018	R/W	AC97 PCM 输入输出通道 FIFO 数据寄	0x00000000

AC_PCMDATA	位	描述	初始值
Left Data	[31:16]	左声道 PCM 输出输入 FIFO 数据 读：左声道中的 PCM 写：左声道中的 PCM	0x0000
Right Data	[15:0]	右声道 PCM 输出输入 FIFO 数据 读：右声道中的 PCM 写：右声道中的 PCM	0x0000

24.6.8 AC97 MIC 输入通道 FIFO 数据寄存器

AC97 MIC IN CHANNEL FIFO DATA REGISTER (AC_MICDATA)

寄存器	地址	读写	描述	复位值
AC_MICDATA	0x5B00001C	R/W	AC97 MIC 输入通道 FIFO 数据寄	0x00000000

AC_MICDATA	位	描述	初始值
保留	[31:16]	-	0x0000
Mono Data	[15:0]	MIC 在单声道 FIFO 的数据	0x0000